



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
JIANG et al.)
)
Application Number: 10/767,444)
)
Filed: January 30, 2004)
)
For: DISK ARRAY DEVICE AND CONTROL METHOD OF)
DISK ARRAY DEVICE)
)
ATTORNEY DOCKET NO. ASAM.0099)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

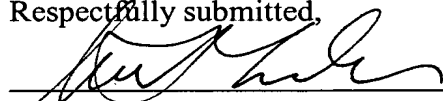
**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of November 5, 2003 the filing date of the corresponding Japanese patent application 2003-375166.

A certified copy of Japanese patent application 2003-375166 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,


Stanley P. Fisher
Registration Number 24,344

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
June 30, 2004

Juan Carlos A. Marquez
Registration Number 34,072

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 5 日
Date of Application:

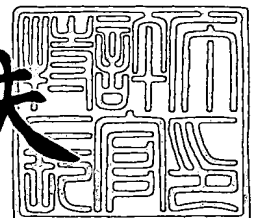
出 願 番 号 特 願 2 0 0 3 - 3 7 5 1 6 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 7 5 1 6 6]

出 願 人 株 式 会 社 日 立 製 作 所
Applicant(s):

2 0 0 4 年 1 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 0 6 9 2

【書類名】 特許願
【整理番号】 340300958
【提出日】 平成15年11月 5日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 3/06
【発明者】
 【住所又は居所】 神奈川県小田原市中里 3 2 2 番 2 号 株式会社日立製作所 R A
 I D システム事業部内
 【氏名】 姜 小明
【発明者】
 【住所又は居所】 神奈川県小田原市中里 3 2 2 番 2 号 株式会社日立製作所 R A
 I D システム事業部内
 【氏名】 八木 聡
【発明者】
 【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所
 システム開発研究所内
 【氏名】 八木沢 育哉
【特許出願人】
 【識別番号】 000005108
 【氏名又は名称】 株式会社日立製作所
【代理人】
 【識別番号】 110000176
 【氏名又は名称】 一色国際特許業務法人
 【代表者】 一色 健輔
【手数料の表示】
 【予納台帳番号】 211868
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

複数のハードディスクドライブと、
通信可能に接続されている情報処理装置との間でデータ送受信を行う複数のチャネル制御部と、
通信可能に接続されている前記複数のハードディスクドライブとの間でデータ送受信を行う複数のディスク制御部と、
前記複数のチャネル制御部と前記複数のディスク制御部の制御を行うCPUと、
前記チャネル制御部と前記ディスク制御部との間で送受信されるデータを記憶するキャッシュメモリと、
前記チャネル制御部、前記ディスク制御部、及びCPUとバスにより通信可能に接続され、前記キャッシュメモリと複数のデータバスにより通信可能に接続されているデータ転送集積回路と
を含み、
前記データ転送集積回路は、
前記チャネル制御部または前記ディスク制御部またはCPUから前記キャッシュメモリへのアクセス要求を受信すると、当該アクセス要求に設定されている転送データ長に応じて定まる数の前記データバスを使用して前記キャッシュメモリへアクセスすることを特徴とするディスクアレイ装置。

【請求項 2】

請求項 1 に記載のディスクアレイ装置であって、
前記バスが 64 ビット幅の PCI バスであり、前記アクセス要求の前記転送データ長が前記 PCI バスのアドレスフェーズにおける上位 32 ビットに設定されている
ことを特徴とするディスクアレイ装置。

【請求項 3】

請求項 1 に記載のディスクアレイ装置であって、
前記データバスが 2 つであり、
前記データ転送集積回路は、
当該アクセス要求に設定されている転送データ長が予め定められている基準データ長より長い場合は、2 つの前記データバスを使用して前記キャッシュメモリへアクセスし、当該アクセス要求に設定されている転送データ長が前記基準データ長より短い場合は、1 つの前記データバスを使用して前記キャッシュメモリへアクセスすることを特徴とするディスクアレイ装置。

【請求項 4】

請求項 3 に記載のディスクアレイ装置であって、
前記キャッシュメモリが物理的に別の 2 つのキャッシュメモリであり、
前記 2 つのキャッシュメモリのそれぞれが、前記データバスにより前記データ転送集積回路と通信可能に接続されている
ことを特徴とするディスクアレイ装置。

【請求項 5】

請求項 3 に記載のディスクアレイ装置であって、
前記データ転送集積回路は、
複数の前記チャネル制御部または前記ディスク制御部または前記CPUから前記キャッシュメモリへのアクセス要求を受信すると、当該複数のアクセス要求に優先順位を付与する優先順位付与部を備え、
前記データ転送集積回路は、
優先順位が最も高い前記アクセス要求に設定されている転送データ長が前記基準データ長より長い場合は、2 つの前記データバスを使用して前記キャッシュメモリへアクセスし、優先順位が最も高い前記アクセス要求と優先順位が 2 番目に高い前記アクセス要求とに設定されている転送データ長が前記基準データ長より短い場合は、それぞれ 1 つの前記デ

ータバスを使用して前記キャッシュメモリへアクセスすること
ことを特徴とするディスクアレイ装置。

【請求項6】

請求項5に記載のディスクアレイ装置であって、

前記データ転送集積回路は、優先順位が最も高い前記アクセス要求と優先順位が2番目に高い前記アクセス要求とに設定されている転送データ長が前記基準データ長より短い場合に、前記2つのデータバスが両方とも使用されていない場合は、当該2つのアクセス要求に対してそれぞれ1つの前記データバスを割り当て、前記キャッシュメモリへのアクセスを並行して行う

ことを特徴とするディスクアレイ装置。

【請求項7】

請求項5に記載のディスクアレイ装置であって、

前記データ転送集積回路は、優先順位が最も高い前記アクセス要求に設定されている転送データ長が前記基準データ長より長い場合に、2つの前記データバスのうち1つが使用されている場合は、当該アクセス要求に対して使用されていない1つの前記データバスを割り当て、前記キャッシュメモリへのアクセスを行う

ことを特徴とするディスクアレイ装置。

【請求項8】

通信可能に接続されている情報処理装置との間でデータ送受信を行う複数のチャネル制御部と、

通信可能に接続されている複数のハードディスクドライブとの間でデータ送受信を行う複数のディスク制御部と、

前記複数のチャネル制御部と前記複数のディスク制御部の制御を行うCPUと、

前記チャネル制御部と前記ディスク制御部との間で送受信されるデータを記憶するキャッシュメモリと、

前記チャネル制御部、前記ディスク制御部、及びCPUとバスにより通信可能に接続され、前記キャッシュメモリと複数のデータバスにより通信可能に接続されているデータ転送集積回路と

を含んで構成されるディスクアレイ装置の制御方法であって、

前記データ転送集積回路は、

前記チャネル制御部または前記ディスク制御部またはCPUから前記キャッシュメモリへのアクセス要求を受信するステップと、

当該アクセス要求に設定されている転送データ長に応じて定まる数の前記データバスを選択するステップと、

前記選択されたデータバスを使用して前記キャッシュメモリへアクセスするステップとを有することを特徴とするディスクアレイ装置の制御方法。

【請求項9】

請求項8に記載のディスクアレイ装置の制御方法であって、

前記バスが64ビット幅のPCIバスであり、

前記データバスを選択する前記ステップは、

前記PCIバスのアドレスフェーズにおける上位32ビットに設定されている前記アクセス要求の前記転送データ長に応じて定まる数の前記データバスを選択する

ことを特徴とするディスクアレイ装置。

【請求項10】

請求項8に記載のディスクアレイ装置の制御方法であって、

前記データバスが2つであり、

前記データバスを選択する前記ステップは、

当該アクセス要求に設定されている転送データ長が予め定められている基準データ長より長い場合は、2つの前記データバスを選択し、

当該アクセス要求に設定されている転送データ長が前記基準データ長より短い場合は、

1つの前記データベースを選択する

ことを特徴とするディスクアレイ装置の制御方法。

【請求項11】

請求項10に記載のディスクアレイ装置の制御方法であって、

前記キャッシュメモリが物理的に別の2つのキャッシュメモリであり、

前記2つのキャッシュメモリのそれぞれが、前記データベースにより前記データ転送集積回路と通信可能に接続されている

ことを特徴とするディスクアレイ装置の制御方法。

【請求項12】

請求項10に記載のディスクアレイ装置の制御方法であって、

前記データ転送集積回路は、

複数の前記チャネル制御部または前記ディスク制御部または前記CPUから前記キャッシュメモリへのアクセス要求を受信すると、当該複数のアクセス要求に優先順位を付与するステップを有し、

前記データベースを選択する前記ステップは、

優先順位が最も高い前記アクセス要求に設定されている転送データ長が前記基準データ長より長い場合は、2つの前記データベースを選択し、

優先順位が最も高い前記アクセス要求と優先順位が2番目に高い前記アクセス要求とに設定されている転送データ長が前記基準データ長より短い場合は、それぞれ1つの前記データベースを選択する

ことを特徴とするディスクアレイ装置の制御方法。

【請求項13】

請求項12に記載のディスクアレイ装置の制御方法であって、

前記データベースを選択する前記ステップは、

優先順位が最も高い前記アクセス要求と優先順位が2番目に高い前記アクセス要求とに設定されている転送データ長が前記基準データ長より短い場合に、前記2つのデータベースが両方とも使用されていない場合は、当該2つのアクセス要求に対してそれぞれ1つの前記データベースを選択する

ことを特徴とするディスクアレイ装置の制御方法。

【請求項14】

請求項12に記載のディスクアレイ装置の制御方法であって、

前記データベースを選択する前記ステップは、

優先順位が最も高い前記アクセス要求に設定されている転送データ長が前記基準データ長より長い場合に、2つの前記データベースのうち1つが使用されている場合は、当該アクセス要求に対して使用されていない1つの前記データベースを選択する

ことを特徴とするディスクアレイ装置。

【請求項15】

通信可能に接続されている情報処理装置との間でデータ送受信を行う複数のチャネル制御部と、

通信可能に接続されている複数のハードディスクドライブとの間でデータ送受信を行う複数のディスク制御部と、

前記複数のチャネル制御部と前記複数のディスク制御部の制御を行うCPUと、

前記チャネル制御部と前記ディスク制御部との間で送受信されるデータを記憶するキャッシュメモリと、

前記チャネル制御部、前記ディスク制御部、及びCPUとバスにより通信可能に接続され、前記キャッシュメモリと複数のデータベースにより通信可能に接続されているデータ転送集積回路と

を含んで構成される第一のコントローラ及び第二のコントローラと、

前記複数のハードディスクドライブとを含み、

前記第一のコントローラの前記データ転送集積回路と前記第二のコントローラのデータ

転送集積回路とが通信可能に接続され、

前記第一のコントローラの前記データ転送集積回路は、

前記チャネル制御部または前記ディスク制御部または前記CPUから前記第二のコントローラの前記キャッシュメモリへのアクセス要求を受信すると、

当該アクセス要求が前記チャネル制御部または前記ディスク制御部からのものであるか、前記CPUからのものであるかを表すアクセス種別を設定したアクセス要求を前記第二のコントローラの前記データ転送集積回路に送信し、

前記第二のコントローラの前記データ転送集積回路は、

前記第一のコントローラの前記データ転送集積回路から前記アクセス要求を受信すると、当該アクセス要求に設定されている前記アクセス種別に応じて定まる数の前記データベースを使用して前記第二のコントローラの前記キャッシュメモリへアクセスする

ことを特徴とするディスクアレイ装置。

【請求項 16】

請求項 15 に記載のディスクアレイ装置であって、

前記第二のコントローラの前記データベースが2つであり、

前記第二のコントローラの前記データ転送集積回路は、

前記第一のコントローラの前記データ転送集積回路から受信する前記アクセス要求に設定されている前記アクセス種別が前記チャネル制御部または前記ディスク制御部からのアクセス要求である場合は、2つの前記データベースを使用して前記キャッシュメモリへアクセスし、

前記アクセス要求に設定されている前記アクセス種別が前記CPUからのアクセス要求である場合は、1つの前記データベースを使用して前記キャッシュメモリへアクセスする

ことを特徴とするディスクアレイ装置。

【書類名】明細書

【発明の名称】 ディスクアレイ装置及びディスクアレイ装置の制御方法

【技術分野】

【0001】

本発明は、ディスクアレイ装置及びディスクアレイ装置の制御方法に関する。

【背景技術】

【0002】

情報処理装置は磁気ディスクに対してデータを入出力することにより、あらゆる処理を行っている。しかし、磁気ディスクへのアクセス性能は、半導体記憶装置へのアクセス性能と比較してかなり低いものである。そのため、ディスク制御装置内に半導体を記憶素子とするキャッシュメモリを設け、磁気ディスクのデータをキャッシュメモリに一時的に格納することにより、情報処理装置からのアクセス性能を高めている。

【0003】

このキャッシュメモリへのアクセス性能は、情報処理装置における処理性能を大きく左右するため、ディスク制御装置内におけるキャッシュメモリのバス幅の拡張や、バスクロックを早くすることにより、キャッシュメモリへのアクセス性能をより高める手法が用いられてきた。また、特許文献1においては、データ転送集積回路（セクタ）を設け、キャッシュメモリに対するアクセス要求が競合した場合に、当該アクセス要求から、キャッシュメモリへのデータバスの数の分だけを選択する方法が開示されている。

【特許文献1】 特開 2000-250712号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、ディスクアレイ装置においては、用いられる基板の大きさには限度があり、キャッシュメモリのバス幅を更に拡張することが困難な状況となってきた。また、特許文献1に開示されている方法においては、データバス幅の拡張等によりデータ転送に要する時間が短くなるにつれ、データバスの割り当て制御のオーバーヘッドがデータバスの使用効率を低下させる要因となっている。

そのため、キャッシュメモリのバス幅を拡張せずに、データ転送全体のうちに占めるデータ転送集積回路内における制御に要する時間の割合を減少させ、キャッシュメモリへのアクセスに対する実効速度を向上させることが求められている。

【0005】

本発明は上記課題を鑑みてなされたものであり、データ転送集積回路、データ転送制御方法、及びディスク制御装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成する本発明のうち主たる発明に係るディスクアレイ装置は、通信可能に接続されている情報処理装置との間でデータ送受信を行う複数のチャネル制御部と、通信可能に接続されている複数のハードディスクドライブとの間でデータ送受信を行う複数のディスク制御部と、前記複数のチャネル制御部と前記複数のディスク制御部の制御を行うCPUと、前記チャネル制御部と前記ディスク制御部との間で送受信されるデータを記憶するキャッシュメモリと、前記チャネル制御部、前記ディスク制御部、及びCPUとバスにより通信可能に接続され、前記キャッシュメモリと複数のデータバスにより通信可能に接続されているデータ転送集積回路とを含み、前記データ転送集積回路は、前記チャネル制御部または前記ディスク制御部またはCPUから前記キャッシュメモリへのアクセス要求を受信すると、当該アクセス要求に設定されている転送データ長に応じて定まる数の前記データバスを使用して前記キャッシュメモリへアクセスする。

ここで、アクセス要求とはハードディスクドライブからの読み出し要求やハードディスクドライブへの書き込み要求などである。

【0007】

これにより、データ転送集積回路は、チャンネル制御部等からキャッシュメモリへのアクセス要求を受信し、当該アクセスを実行する際に、当該アクセス要求に設定されている転送データ長に応じてキャッシュメモリへのアクセスに用いるデータバスの変数を変更することができる。

例えば、当該アクセス要求が、転送データ長の長いシーケンシャルデータに対するものである場合には、複数のデータバスを割り当て、転送データ長の短いランダムデータに対するものである場合には、1つのデータバスを割り当てる等の制御を行うことができる。

【0008】

シーケンシャルデータの場合、データバスの割り当てからデータ転送完了までにおいてデータ転送そのものに要する時間の割合が高い。そのため、シーケンシャルデータのアクセスには複数のデータバスを用いることで、データ転送の時間を短くすることができる。

【0009】

また、ランダムデータの場合、データバスの割り当てからデータ転送完了までにおいてデータバスの割り当てに要する時間の割合が高い。そのため、ランダムデータのアクセスには1つのデータバスを用いることで、残りのデータバスを別のランダムデータのアクセスに用いることができる。つまり、複数のランダムデータへのアクセス要求が連続して発生する状況においては、先のランダムデータのアクセスの完了を待たずに、空いているデータバスを用いて別のランダムデータのアクセスを行うことができるため、データバス割り当て待ち時間を短くし、データバスの使用率を向上させることができる。

これにより、データバス幅の拡張やクロックの向上を行うことなく、外部装置から記憶装置へのアクセスに対する実効速度を向上させることができる。

【0010】

その他、本願が開示する課題、及びその解決方法は、発明を実施するための最良の形態の欄、及び図面により明らかにされる。

【発明の効果】

【0011】

ディスクアレイ装置及びディスクアレイ装置の制御方法を提供することができる。

【発明を実施するための最良の形態】

【0012】

==全体の概要==

図1は、本実施の形態に係るデータ転送集積回路を備えるディスクアレイ装置を含む情報処理システムの構成を示すブロック図である。

【0013】

情報処理装置10は、CPU (Central Processing Unit) やメモリを備えるコンピュータであり、パーソナルコンピュータやワークステーション、メインフレームなどのコンピュータである。情報処理装置10は、結合された複数台のコンピュータで構成されることもある。情報処理装置10ではアプリケーションソフトウェアが動作している。

【0014】

アプリケーションソフトウェアは、例えば、銀行の自動預金預け払いシステムや航空機の座席予約システムの機能を提供する。情報処理装置10とディスクアレイ装置15とはそれぞれ通信手段 (通信線、ネットワーク) により接続されている。通信手段は、例えばLAN (Local Area Network) やSAN (Storage Area Network)、iSCSI (Internet Small Computer System Interface)、Fibre Channel、ESCON (Enterprise Systems Connection) (登録商標)、FICON (Fibre Connection) (登録商標) などである。

【0015】

ディスクアレイ装置15は、コントローラ20、及びハードディスクドライブ90などを備えて構成される。コントローラ20は、CPU30、チャンネル制御部40、ディスク制御部50、及びデータ転送集積回路60などを備えており、これらは互いにバス80を介して接続されている。バス80とは、例えばPCIバスなどである。また、CPU30

、チャネル制御部 40、及びディスク制御部 50 は、データ転送集積回路 60 を介してキャッシュメモリ 70 に接続されている。

【0016】

チャネル制御部 40 は、情報処理装置 10 との間で通信を行うインタフェースである。チャネル制御部 40 は、ファイバチャネルプロトコルに従ってブロックアクセス要求を受け付ける機能を有する。

ディスク制御部 50 は、ハードディスクドライブ 90 との間でデータのやりとりを行うインタフェースである。ディスク制御部 50 は、ハードディスクドライブ 90 を制御するコマンドなどを規定するプロトコルに従ってハードディスクドライブ 90 に対するデータ入出力要求を送信する機能を備える。

CPU 30 は、ディスクアレイ装置 15 の全体の制御を司るもので、メモリ 31 に格納されたマイクロプログラムを実行することにより、チャネル制御部 40、ディスク制御部 50、及びデータ転送集積回路等の制御を行う。

【0017】

キャッシュメモリ 70 は、キャッシュメモリ 1 (71)、キャッシュメモリ 2 (72) で構成されている。各キャッシュメモリ 71, 72 はデータ入出力ポートを 1 つ持っており、データ転送集積回路 60 とデータバス 61, 62 で接続されている。なお、本実施の形態においては、従来のデータバス幅を 16 B とし、データバス 61, 62 のバス幅は、16 B を 2 分割した 8 B であるものとする。キャッシュメモリ 70 は、主としてチャネル制御部 40 とディスク制御部 50 との間で授受されるデータを一時的に記憶するために用いられる。例えばチャネル制御部 40 が情報処理装置 10 から受信したデータ入出力コマンドが書き込みコマンドである場合には、チャネル制御部 40 は情報処理装置 10 から受信した書き込みデータをキャッシュメモリ 70 に書き込む。またディスク制御部 50 はキャッシュメモリ 70 から書き込みデータを読み出してハードディスクドライブ 90 に書き込む。

【0018】

コントローラ 20 は、ハードディスクドライブ 90 をいわゆる RAID (Redundant Array of Inexpensive Disks) 方式に規定される RAID レベル (例えば、0, 1, 5) で制御する機能を備えることもある。

データ転送集積回路 60 は、CPU 30、チャネル制御部 40、及びディスク制御部 50 からキャッシュメモリ 70 へのアクセスを制御するために用いられる。

【0019】

==データ転送集積回路==

図 2 は、データ転送集積回路 60 の構成を示すブロック図である。データ転送集積回路 60 は、ホストバッファ 200、ディスクバッファ 201、CPU バッファ 202、デュアルバッファ 203、調停回路 204、及びキャッシュ制御回路 214などを備えて構成される。

【0020】

ホストバッファ 200 はチャネル制御部 40 と、ディスクバッファ 201 はディスク制御部 50 と、CPU バッファ 202 は CPU 30 とバス 80 を介して接続されている。図 2 において、ホストバッファ 200 及びディスクバッファ 201 はそれぞれ 1 つしか図示していないが、対応するチャネル制御部 40 及びディスク制御部 50 と同じ数だけあるものとする。また、各バッファ 200 ~ 202 は PCI ブリッジ 215 により接続されている。なお、デュアルバッファ 203 は、後述するデュアルコントローラ構成において、コントローラ 20 間で通信を行うためのバッファである。

【0021】

ホストバッファ 200 には、チャネル制御部 40 からキャッシュメモリ 70 へのアクセス要求及びチャネル制御部 40 とキャッシュメモリ 70 との間で授受されるデータが一時的に記憶される。また、ディスクバッファ 201 には、ディスク制御部 50 からキャッシュメモリ 70 へのアクセス要求及びディスク制御部 50 とキャッシュメモリ 70 との間で

授受されるデータが一時的に格納される。同様に、CPUバッファ202には、CPU30からキャッシュメモリ70へのアクセス要求及びCPU30との間で授受されるデータが一時的に格納される。ここで、アクセス要求とは、キャッシュメモリ70からのデータの読み出し要求やキャッシュメモリ70へのデータの書き込み要求などである。

【0022】

バッファ200～202に記憶されているアクセス要求が、キャッシュメモリ70への書き込み要求である場合を例として、データの流れを説明する。

【0023】

調停回路204は、各バッファ200～202が記憶しているキャッシュメモリ70へのアクセス要求を信号線250を通して読み取る。調停回路204は、後述する手順に従いこれらのアクセス要求に対してデータバス61、62の一方または両方を用いたキャッシュメモリ70へのアクセス許可を判断し、アクセスを許可するバッファ200～202に対して信号線251を通して通知する。また、調停回路204はキャッシュメモリ70へのアクセスを許可するバッファ200～202を示すSEL信号と、当該アクセスに用いられるデータバス61、62を表すバス選択信号とを信号線255を介して、セクタ206～209、変換回路210、211、及びキャッシュ制御回路212に通知する。

【0024】

セクタ206は、調停回路204からSEL信号を受信すると、SEL信号により指定されるバッファ200～202に記憶されている入出力コマンドをコマンドバス252を介して読み取る。次に、セクタ206は、読み取った入出力コマンドをコマンドバス258を介して変換回路201、211及びキャッシュ制御回路212に送信する。

【0025】

セクタ207、208は、調停回路204からSEL信号を受信すると、SEL信号により指定されるバッファ200～202からデータバス253、254を介してデータを読み取る。次に、セクタ207、208は、読み取ったデータをデータバス256、257を介して変換回路210、211に送信する。なお、データバス253～257のバス幅は64Bであるとする。

【0026】

図3は、変換回路210、211を示すブロック図である。変換回路210、211は、ラッチ回路301、セクタ302、及び制御回路303などを備えて構成される。ラッチ回路301は、制御回路303からラッチEnable信号を受信すると、セクタ207、208から64Bのデータを読み取り、8Bのバス8本で形成されるデータバス304を介してセクタに当該データを送信する。セクタ302は、制御回路303より送信される制御信号をもとに、8Bのバスを順番に選択し、キャッシュバッファ213、214にデータを送信する。

【0027】

セクタ209は、調停回路204からSEL信号を受信すると、キャッシュバッファ213、214に記憶されているデータをキャッシュ制御回路212に送信する。

【0028】

キャッシュ制御回路212は、データバス61及び制御信号260にてキャッシュメモリ1(71)と、データバス62及び制御信号261にてキャッシュメモリ2(72)と接続されている。キャッシュ制御回路212は、調停回路204からSEL信号とバス選択信号とを受信すると、セクタ209よりデータを読み取る。キャッシュ制御回路212は、セクタ206よりコマンドバス258を介して受信する書き込みコマンドをもとに、バス選択信号により指定されるデータバス61、62を用いてキャッシュメモリ70に当該データを書き込む。また、キャッシュ制御回路212は、キャッシュメモリ70との間でのデータ授受に際して、ECC(Error Correction Code)の生成及びチェックを行う。なお、キャッシュ制御回路212は、データバス61、62の使用状況を信号線259を介して調停回路204に通知している。

【0029】

このように、データ転送集積回路60は、CPU30、チャンネル制御部40、及びディスク制御部50からキャッシュメモリへのアクセス要求を受信すると、データバス61、62の一方または両方を用いてキャッシュメモリ70へのアクセスを行う。なお、アクセス要求が読み出し要求である場合はデータバス上のデータの流れおよび変換回路210、211での変換処理が逆になるだけであり、本発明の特徴であるデータバス61、62の選択方法については、書き込み要求の場合と同じである。

【0030】

==データバス選択処理==

次に、調停回路204における、各バッファ200～202からキャッシュメモリ70へのデータ転送に用いるデータバス61、62の選択処理を図4のフローチャートを用いて説明する。

【0031】

調停回路204は、バッファ200～202からアクセス要求を受信すると(S401)、当該アクセス要求に基づいて転送されるデータのデータ種別を判断する(S402)。ここで、データ種別とは、当該アクセス要求に設定されている転送データ長が予め定められた基準データ長(例えば1KB)より長いかどうかを表すものである。本実施の形態においては、転送データ長が基準データ長より長いものを「シーケンシャルデータ」、転送データ長が基準データ長より短いものを「ランダムデータ」と呼ぶ。外部装置は、キャッシュメモリへのアクセス要求をデータ転送集積回路60に送信する際に、バス80が64ビットのPCIバスの場合であれば、PCIのアドレスフェーズにおいて上位32ビットに当該データの転送データ長を付与して送信する。データ転送集積回路60は、この転送データ長と基準データ長とを比較することにより、データ種別の判断を行う。

【0032】

次に、調停回路204は、アクセス要求が複数のバッファ200～202からであるかどうかを判断する(S403)。調停回路204は、アクセス要求が複数のバッファ200～202からである場合、当該アクセス要求に対する優先コードの取得(S404)を行い、アクセス許可決定処理にてデータバス61、62の割り当てを行う(S405)。また、調停回路204は、アクセス要求が1つのバッファ200～202からである場合は、優先コードの取得は行わずに、アクセス許可決定処理にてデータバス61、62の割り当てを行う(S405)。

【0033】

ここで、優先コードとは、調停回路204に接続されるバッファ200～202ごとの優先順位であり、調停回路内に記憶されている。例えば、優先コードは2ビットの数値であり、初期状態としては、ホストバッファに「00」、ディスクバッファに「01」、CPUバッファに「10」が割り当てられているものとする。なお、優先コード「00」が一番優先順位が高いものとする。

【0034】

最後に、調停回路204は、優先コードの変更を行う(S406)。これは、データバス61、62を割り当てたバッファ200～202の優先順位を一番低くすることにより、各バッファ200～202に均等にデータバス61、62を割り当てるためである。前述した優先コードが2ビットの例で説明する。優先コードが初期状態にある場合において、ディスクバッファ201にデータバス61、62が割り当てられると、調停回路204は、ディスクバッファ201の優先コードを優先順位の一番低い「10」に変更する。そして、調停回路204は、ディスクバッファ201の元の優先コードである「01」より低い優先順位を持つバッファ200～202の優先コードを、優先順位が一つ高くなるように1だけ減算する。これにより、CPUバッファ202の優先コードは「01」となり、各バッファ200～202の優先順位が変更される。

【0035】

前述した、調停回路204におけるアクセス許可決定処理を図5のフローチャートを用いて説明する。

【0036】

まず、調停回路204は、キャッシュメモリ70へのアクセス要求が1つであるかどうか判断する(S501)。キャッシュメモリ70へのアクセス要求が1つである場合、調停回路204は、当該アクセス要求に基づいて転送されるデータのデータ種別がランダムデータであるかどうか判断する(S502)。データ種別がランダムデータである場合、調停回路204は、8Bのバス幅でのアクセス許可を決定する(S503)。調停回路204は、データバス61, 62のうち、いずれか一方が使用可能となるまで待ち(S504)、使用可能になると、当該アクセス要求を記憶しているバッファ200~202を選択するSEL信号と、使用可能となった1つのデータバス61, 62を選択するバス選択信号とを出力する(S505)。

【0037】

次に、キャッシュメモリ70へのアクセス要求が1つであり、当該アクセス要求に基づいて転送されるデータのデータ種別がシーケンシャルデータである場合について説明する。調停回路204は、当該アクセス要求に対して8B×2すなわち16Bのバス幅でのアクセス許可を決定する(S506)。調停回路は、データバス61, 62の両方が使用可能となるまで待ち(S507)、使用可能になると、当該アクセス要求を記憶しているバッファ200~202を選択するSEL信号と、2つのデータバス61, 62を選択するバス選択信号とを出力する(S505)。なお、シーケンシャルデータの場合にS507においてはデータバス61, 62の両方が使用可能となるまで待つこととしているが、データバス61, 62のうち的一方が使用可能である場合には、使用可能なデータバス61, 62のみを選択することとしてもよい。

【0038】

次に、キャッシュメモリ70へのアクセス要求が複数である場合について説明する。調停回路204は、複数のアクセス要求のうち、優先順位が高い2つのアクセス要求に基づいて転送されるデータのデータ種別が、ともにランダムデータであるかどうか確認する(S508)。当該2つのアクセス要求に基づいて転送されるデータのデータ種別が両方ともランダムデータである場合、調停回路204は、各々のアクセス要求に対して8Bのバス幅でのアクセス許可を決定する(S509)。調停回路204は、データバス61, 62の両方が使用可能となるまで待ち(S510)、使用可能になると、当該アクセス要求を記憶している2つのバッファ200~202を選択するSEL信号と、2つのデータバス61, 62を選択するバス選択信号とを出力する(S505)。なお、ランダムデータが2つある場合にS510においてはデータバス61, 62の両方が使用可能となるまで待つこととしているが、データバス61, 62のうち的一方が使用可能である場合には、当該2つのアクセス要求の優先順位に従って使用可能なデータバス61, 62のみを選択することとしてもよい。

【0039】

次に、キャッシュメモリ70へのアクセス要求が複数であり、優先順位が高い2つのアクセス要求に基づいて転送されるデータのデータ種別が、ランダムデータとシーケンシャルデータとである場合について説明する。調停回路204は、当該2つのアクセス要求のうち、優先順位が高いアクセス要求に基づいて転送されるデータのデータ種別がランダムデータであるかどうか確認する(S511)。優先順位が高いアクセス要求に基づいて転送されるデータがランダムデータである場合、調停回路204は、当該アクセス要求に対して8Bのバス幅でのアクセス許可を決定する(S512)。調停回路204は、データバス61, 62のうち、いずれか一方が使用可能となるまで待ち(S513)、使用可能になると、当該アクセス要求を記憶しているバッファ200~202を選択するSEL信号と、使用可能となった1つのデータバス61, 62を選択するバス選択信号とを出力する(S505)。

【0040】

次に、2つのアクセス要求に基づいて転送されるデータのデータ種別が、ランダムデータとシーケンシャルデータとであり、当該2つのアクセス要求のうち、優先順位が高いア

クセス要求に基づいて転送されるデータのデータ種別がシーケンシャルデータである場合について説明する。調停回路204は、当該アクセス要求に対して $8B \times 2$ すなわち16Bのバス幅でのアクセス許可を決定する(S514)。調停回路204は、データバス61、62の両方が使用可能となるまで待ち(S515)、使用可能になると、当該アクセス要求を記憶しているバッファ200~202を選択するSEL信号信号と、2つのデータバス61、62を選択するバス選択信号とを出力する(S505)。

【0041】

ここで、外部装置からキャッシュメモリ70へのアクセスに要する時間を、具体例を用いて説明する。なお、本例においては、1回のデータ転送における、PCIバスのオーバーヘッドが30CLK(クロック)であり、データ転送集積回路60のバス選択のオーバーヘッドが20CLKであるものとする。また、データ転送集積回路60とキャッシュメモリ70との間のデータ転送は、16Bのバス幅で22CLKかかるものとする。

【0042】

2つの外部装置からキャッシュメモリ70に対して512Bのデータのアクセス要求が同時に行われた場合の例を説明する。

【0043】

図6は、データ転送集積回路60とキャッシュメモリ70との間を1本の16Bのバス幅のデータバスにより接続している場合の例である。データ転送集積回路60は、2つのアクセス要求に対して順に16Bのデータバスの割り当てを行う。各アクセス要求のデータ転送には、PCIオーバーヘッド(30CLK)+バス選択(20CLK)+データ転送(22CLK)の合計72CLKがかかる。ただし、2つ目のアクセス要求については、1つ目のアクセス要求のデータ転送が完了するまでの間待たされているため、実際には、1つ目のアクセス要求のデータ転送時間(72CLK)+2つ目のアクセス要求のデータ転送時間(72CLK)の合計144CLKを要していることとなる。つまり、平均アクセス時間は $72CLK + 144CLK / 2$ の108CLKとなる。

【0044】

一方、図7は、本実施の形態における、データ転送集積回路60とキャッシュメモリ70との間を2本の8Bのバス幅のデータバス61、62により接続している場合の例である。なお、1KB以上のデータをシーケンシャルデータとする。データ転送集積回路60は、512Bのデータをランダムデータとして扱い、各々のアクセス要求に対して1本の8Bのデータバス61、62を割り当て、2つのデータ転送を同時に行う。そのため、2つのデータに対するPCIオーバーヘッド及びバス選択に要する時間は、1つのデータに対するものと同じだけであり、PCIオーバーヘッド(30CLK)+バス選択(20CLK)の50CLKとなる。キャッシュメモリ70との間のデータ転送は、バス幅が8Bのデータバス61、62を用いて行うため、16Bの場合の2倍の時間(44CLK)を要する。つまり、PCIオーバーヘッド及びバス選択(50CLK)+データ転送(44CLK)の94CLKで2つのデータの転送が完了することとなる。この場合の平均アクセス時間は94CLKである。つまり、データ転送集積回路60とキャッシュメモリ70との間を1本の16Bのバス幅のデータバスにより接続している場合の108CLKよりも短く、キャッシュメモリ70へのアクセスにおける実効速度が向上していることとなる。

【0045】

図8および図9は、本実施の形態における、キャッシュメモリ70のタイミングチャートの例である。まず、各信号の説明を行う。CLKはキャッシュメモリを制御するクロック信号である。また「_1」の付く信号はキャッシュメモリ1(71)の信号であり、「_2」の付く信号はキャッシュメモリ2(72)の信号である。また、「#」はLレベルとなっている際に有効となる信号である。CS(Chip Select)信号は、キャッシュメモリ1(71)またはキャッシュメモリ2(72)を選択状態にするための信号である。RAS(Row Address Strobe)及びCAS(Column Address Strobe)は入出力するデータのアドレスをキャッシュメモリ70に与えるタイミングを伝えるための信号である。ADRは入出力するデータのアドレスを示すアドレスバスである。WE(Write Enable)はキ

キャッシュメモリ 70 への書き込みを可能にするための信号である。DQ__1 はデータバス 61、DQ__2 はデータバス 62 を表している。

【0046】

図 8 は、シーケンシャルデータを 2 つのデータバス 61、62 を用いてキャッシュメモリ 1 (71) 及びキャッシュメモリ 2 (72) から読み出す場合のタイミングチャートである。なお、シーケンシャルデータのアドレスは ADR 0 ~ ADR 3 までであるとする。キャッシュ制御回路 212 は、CS__1 # をアサートし (S801)、RAS__1 # をアサートし (S802)、ADR__1 に ADR 0 を与え (S803)、CAS__1 # をアサートする (S804)。これにより、データバス 61 より ADR 0 のデータが出力される (S809)。この動作 (S801 ~ S809) と並行して、キャッシュ制御回路 212 は、キャッシュメモリ 2 (72) の制御を行う。キャッシュ制御回路 212 は、CS__2 # をアサートし (S805)、RAS__2 # をアサートし (S806)、ADR__2 にシーケンシャルデータの後ろ半分の開始アドレスである ADR 2 を与え (S807)、CAS__2 # をアサートする (S808)。これにより、データバス 62 より ADR 2 のデータが出力される (S810)。同様に、データバス 61 より ADR 1 のデータの読み出し (S811 ~ S819)、データバス 62 より ADR 3 のデータの読み出し (S815 ~ S820) が行われる。

【0047】

図 9 は、2 つのランダムデータを、それぞれ 1 つのデータバス 61、62 を用いてキャッシュメモリ 1 (71) またはキャッシュメモリ 2 (72) から読み出す場合のタイミングチャートである。なお、1 つ目のランダムデータのアドレスは ADR 0 及び ADR 2 であり、2 つ目のランダムデータのアドレスは ADR 1 及び ADR 3 であるとする。キャッシュ制御回路 212 は、1 つ目のランダムデータの ADR 0 のデータをデータバス 61 を用いて読み出す (S901 ~ S905)。キャッシュ制御回路 212 は、2 つ目のランダムデータに対するアクセス許可である SEL 信号及びバス選択信号を調停回路 204 より受信すると、2 つ目のランダムデータの ADR 1 のデータをデータバス 62 を用いて読み出す (S906 ~ S910)。同様に、データバス 61 より ADR 2 のデータの読み出し (S911 ~ S915)、データバス 62 より ADR 3 のデータの読み出し (S916 ~ S920) が行われる。なお、2 つのランダムデータに対するアクセス要求が同時に行われた場合は、ADR 0 のデータの読み出しと ADR 1 のデータの読み出しは同時に開始されることとなる。

【0048】

以上説明した本実施の形態においては、外部装置からキャッシュメモリ 70 へのアクセス要求を受信し、当該アクセスを実行する際に、当該アクセス要求に設定されている転送データ長に応じてキャッシュメモリ 70 へのアクセスに用いるデータバスの数を変更することができる。

【0049】

例えば、当該アクセス要求が、転送データ長の長いシーケンシャルデータに対するものである場合には、2 つのデータバスを割り当て、転送データ長の短いランダムデータに対するものである場合には、1 つのデータバスを割り当てる等の制御を行うことができる。

【0050】

シーケンシャルデータの場合、データバスの割り当てからデータ転送完了までにおいてデータ転送そのものに要する時間の割合が高い。そのため、シーケンシャルデータのアクセスには 2 つのデータバスを用いることで、データ転送の時間を短くすることができる。

【0051】

また、ランダムデータの場合、データバスの割り当てからデータ転送完了までにおいてデータバスの割り当てに要する時間の割合が高い。そのため、ランダムデータのアクセスには 1 つのデータバスを用いることで、残りのデータバスを別のランダムデータのアクセスに用いることができる。つまり、複数のランダムデータへのアクセス要求が連続して発生する状況においては、先のランダムデータのアクセスの完了を待たずに、空いているデ

ータバスを用いて別のランダムデータのアクセスを行うことができるため、データバス割り当て待ち時間を短くし、データバスの使用率を向上させることができる。

これにより、データバス幅の拡張やクロックの向上を行うことなく、外部装置からキャッシュメモリ 70 へのアクセスに対する実効速度を向上させることができる。

【0052】

また、2つのランダムデータへのアクセス要求に対して、1回のデータバス割り当て処理によって、それぞれ1つのデータバスを割り当て、当該データへのアクセスを行うことができる。そのため、データバス割り当て待ち時間を更に短くし、データバスの使用率を更に向上させることができる。

これにより、データバス幅の拡張やクロックの向上を行うことなく、キャッシュメモリ 70 へのアクセスに対する実効速度を更に向上させることができる。

【0053】

==コントローラ間のデータ転送==

次に、ディスクアレイ装置 15 が2つのコントローラ 20 を有している「デュアルコントローラ構成」の場合における、データ転送集積回路 60 での制御について説明する。

図 10 は、ディスクアレイ装置 15 が第一のコントローラ 1001 及び第二のコントローラ 1002 を有している場合の情報処理システムの構成を示すブロック図である。第一のコントローラ 1001 及び第二のコントローラ 1002 のハードウェア構成は、図 1 におけるコントローラ 20 と同様である。

【0054】

各ハードディスクドライブ 90 は、両方のコントローラ 1001, 1002 と通信可能に接続されている。そのため、コントローラ 1001, 1002 の片方に障害が発生した場合は、他方を用いることで、ハードディスクドライブ 90 へのアクセスを行うことが可能である。

【0055】

また、2つのコントローラ 1001, 1002 のデータ転送集積回路 60 は、各々のデュアルバッファ 203 が専用のバス 1003 で接続されており、コントローラ 1001, 1002 間でデータの送受信を行うことができる。これにより、コントローラ 1001, 1002 間でデータのバックアップを行い、ディスクアレイ装置 15 の信頼性を高めている。

【0056】

第一のコントローラ 1001 が情報処理装置 10 からデータの書き込み要求を受信した場合の動作を説明する。まず、第一のコントローラ 1001 のデータ転送集積回路 60 は、チャンネル制御部 40 から受信したデータを第一のコントローラ 1001 のキャッシュメモリ 70 に書き込む。そして、当該データを第二のコントローラ 20 のデータ転送集積回路 60 に転送する。第二のコントローラ 1002 のデータ転送集積回路 60 は、当該データを第二のコントローラ 1002 のキャッシュメモリ 70 に書き込み、第一のコントローラ 1001 のデータ転送集積回路 60 に書き込み完了を通知する。当該通知を受信した第一のコントローラ 1001 のデータ転送集積回路 60 は、チャンネル制御部 40 に書き込み完了を通知する。そして、チャンネル制御部 40 が情報処理装置 10 にデータの書き込み完了を通知する。その後、第一のコントローラ 1001 のディスク制御部 50 がデータ転送集積回路 60 を介してキャッシュメモリ 70 から当該データを読み出し、ハードディスクドライブ 90 に書き込む。

【0057】

また、第一のコントローラ 1001 が情報処理装置 10 からデータの読み出し要求を受信した際に、第一のコントローラ 1001 のキャッシュメモリ 70 が障害等によりアクセスできない場合にもコントローラ 1001, 1002 間でのデータ転送が行われる。この場合、第一のコントローラ 1001 のデータ転送集積回路 60 は、第二のコントローラ 1002 のデータ転送集積回路 60 に当該データの転送要求を送信する。当該要求を受信した第二のコントローラ 1002 のデータ転送集積回路 60 は、第二のコントローラ 100

2のキャッシュメモリ70から当該データを読み出し、第一のコントローラ1001のデータ転送集積回路70に送信する。そして、第一のコントローラ1001のデータ転送集積回路60は当該データをチャンネル制御部40に送信する。

【0058】

この他に、各コントローラ1001、1002のCPU30がデータ転送集積回路60を介して別のコントローラ1001、1002のキャッシュメモリ70にアクセスする場合もある。

【0059】

このように、コントローラ1001、1002間でのデータ転送には、情報処理装置10からのデータ入出力要求に伴うものである「DMA転送」と、CPU30からの要求に伴うものである「CPUアクセス」との2つがある。これら2つのうち、DMA転送については、コントローラ1001、1002間の転送にかかる時間が情報処理装置10からのデータ入出力要求に対する応答時間に直接影響している。そのため、コントローラ1001、1002のデータ転送集積回路60は、他方のデータ転送集積回路1001、1002にデータ転送要求を送信する際に、当該転送がDMA転送であるかCPUアクセスであるかを示すアクセス種別を付与して送信する。この転送要求を受信したデータ転送集積回路60では、アクセス種別がDMA転送である場合は2つのデータバスを用いてキャッシュメモリ70にアクセスし、アクセス種別がCPUアクセスである場合は1つのデータバスを用いてキャッシュメモリ70にアクセスする。

【0060】

つまり、アクセス種別がDMA転送である場合は、データバスを2つ用いることにより、コントローラ1001、1002間におけるデータ転送時間を短くし、情報処理装置10に対する応答を早くすることが可能となる。また、データ種別がCPUアクセスである場合は、1つのデータバスのみを用いることで、もう1つのデータバスを前述したランダムデータのアクセス要求や、他のCPU30からのアクセス要求に割り当てることができる。これにより、データバスの割り当て待ち時間を短くし、データバスの使用率を向上させることができる。これにより、データバス幅の拡張やクロックの向上を行うことなく、外部装置からキャッシュメモリ70へのアクセスに対する実効速度を向上させることができる。

【0061】

以上、本実施の形態について説明したが、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物も含まれる。

【0062】

例えば、本実施の形態においては、キャッシュメモリ70を2つのキャッシュメモリ1(71)及びキャッシュメモリ2(72)により構成されたとしたが、3つ以上のメモリにより構成されるものとしてもよい。

【図面の簡単な説明】

【0063】

【図1】 本実施の形態における、情報処理システムの全体を示すブロック図である。

【図2】 本実施の形態における、データ転送集積回路の構成を示すブロック図である。

【図3】 本実施の形態における、データ転送集積回路が備える変換回路の構成を示すブロック図である。

【図4】 本実施の形態における、データ転送集積回路が備える調停回路におけるデータバスの選択処理を示すフローチャートである。

【図5】 本実施の形態における、データ転送集積回路が備える調停回路におけるアクセス許可決定処理を示すフローチャートである。

【図6】 従来技術における、外部装置とキャッシュメモリとの間で2つのランダムデータのアクセスを行う場合のアクセス時間の例を示す図である。

【図7】本実施の形態における、外部装置とキャッシュメモリとの間で2つのランダムデータのアクセスを行う場合のアクセス時間の例を示す図である。

【図8】本実施の形態における、1つのシーケンシャルデータを2つのデータバスを用いてキャッシュメモリから読み出す場合のキャッシュメモリのタイミングチャートを示す図である。

【図9】本実施の形態における、2つのランダムデータをそれぞれ1つのデータバスを用いてキャッシュメモリから読み出す場合のキャッシュメモリのタイミングチャートを示す図である。

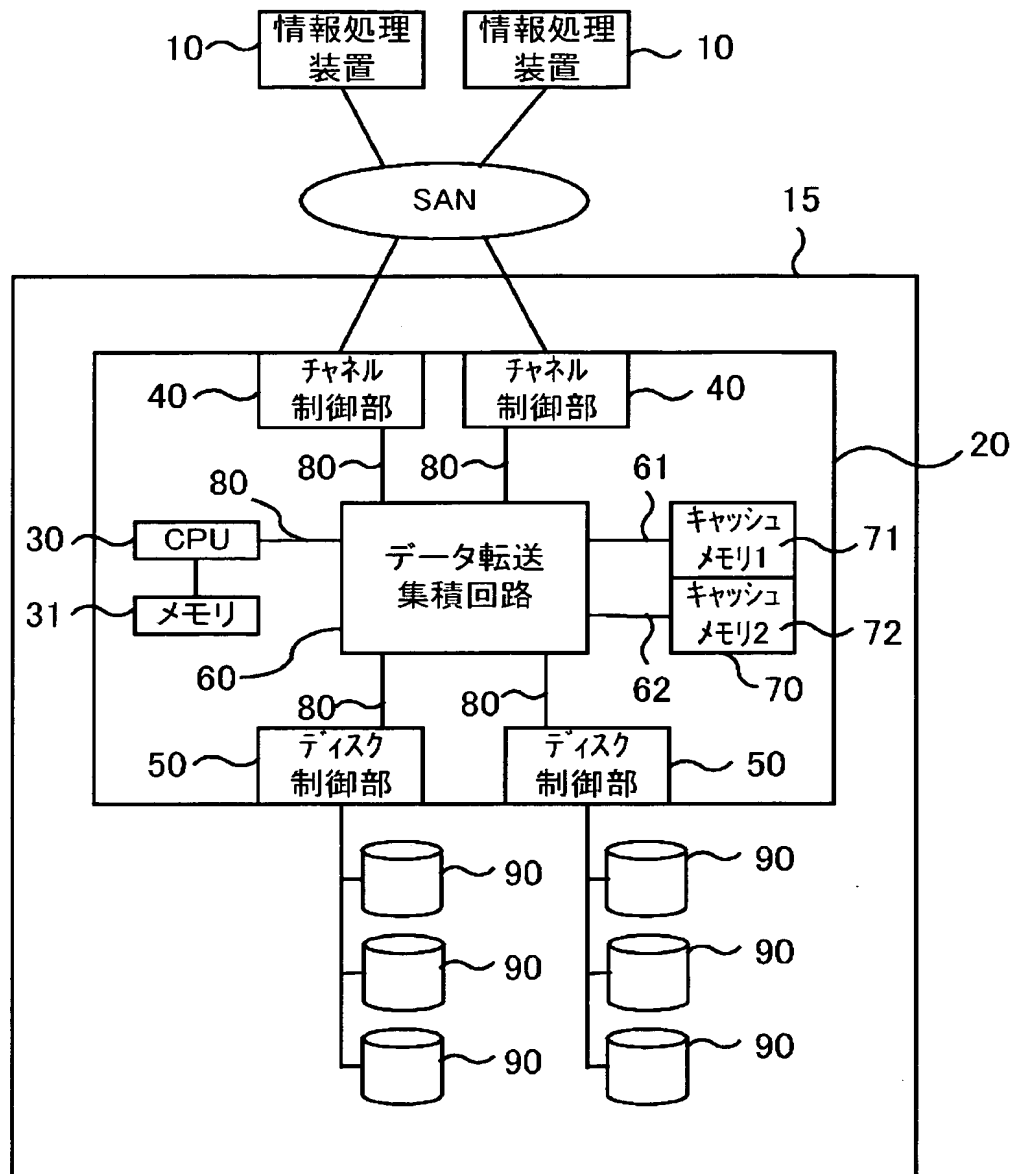
【図10】本実施の形態における、コントローラを2つ有するディスクアレイ装置を示すブロック図である。

【符号の説明】

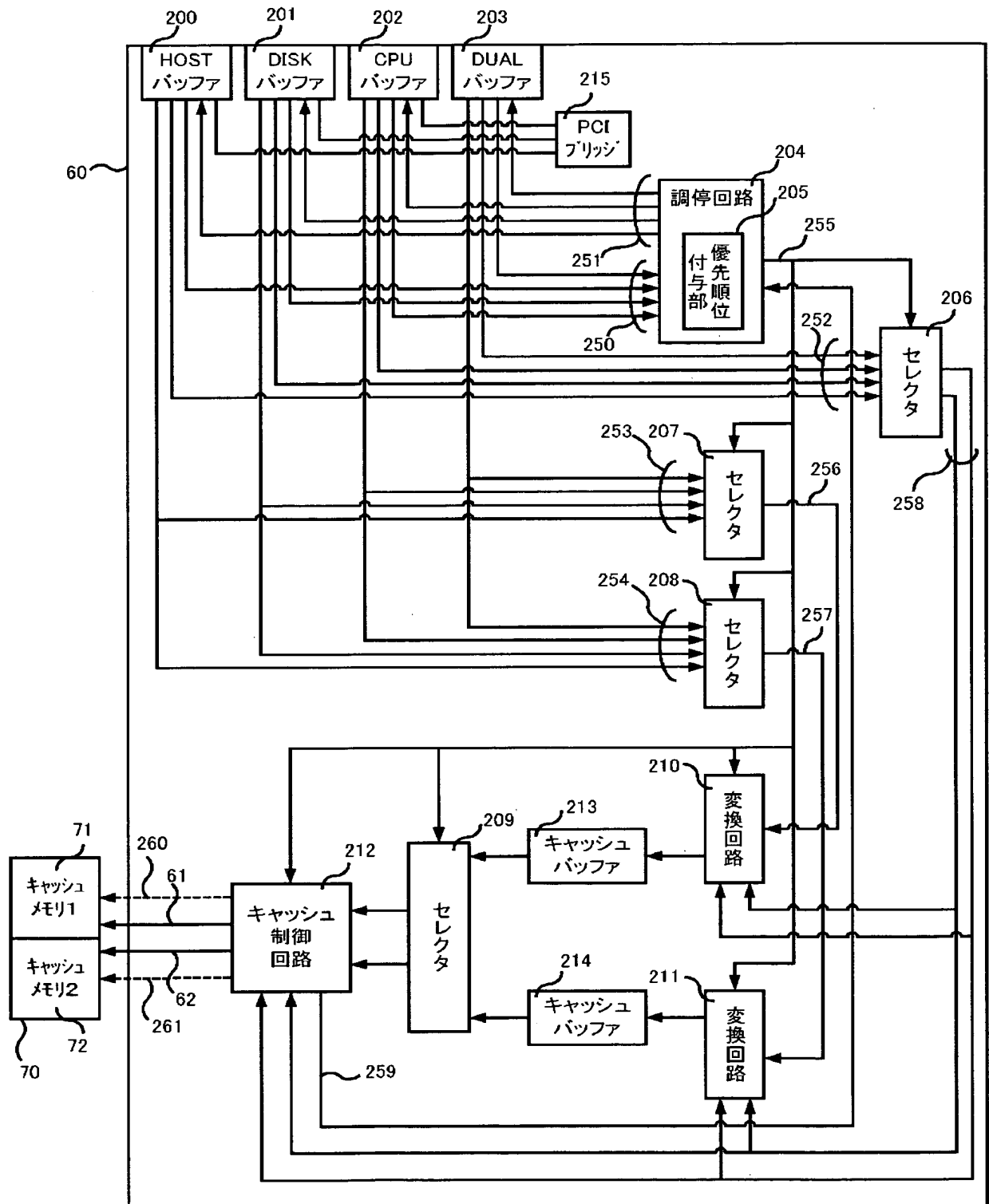
【0064】

10	情報処理装置	15	ディスクアレイ装置
20	コントローラ	30	CPU
31	メモリ	40	チャネル制御部
50	ディスク制御部	60	データ転送集積回路
61, 62	データバス	70	キャッシュメモリ
71	キャッシュメモリ1	72	キャッシュメモリ2
80	バス	90	記憶デバイス
200	ホストバッファ	201	ディスクバッファ
202	CPUバッファ	203	デュアルバッファ
204	調停回路	205	優先順位付与部
206~209	セレクタ	210, 211	変換回路
212	キャッシュ制御回路	213, 214	キャッシュバッファ
215	PCIバス	301	ラッチ回路
302	セレクタ	303	制御回路
304	データバス	1001	第一のコントローラ
1002	第二のコントローラ	1003	バス

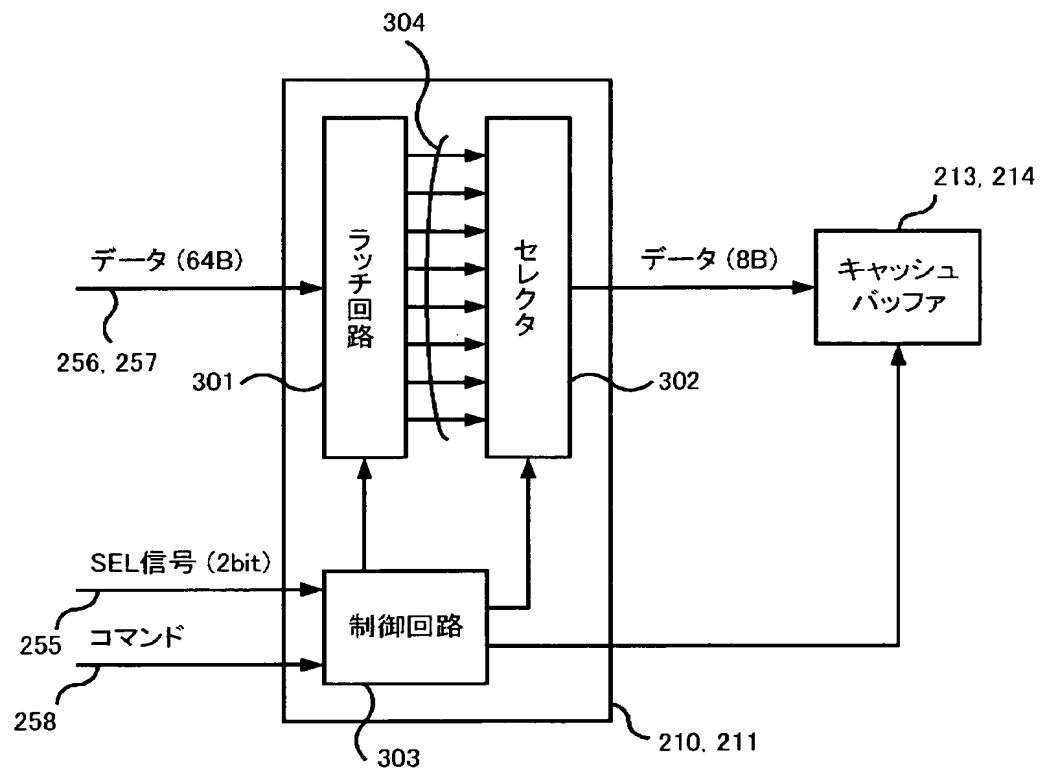
【書類名】 図面
【図 1】



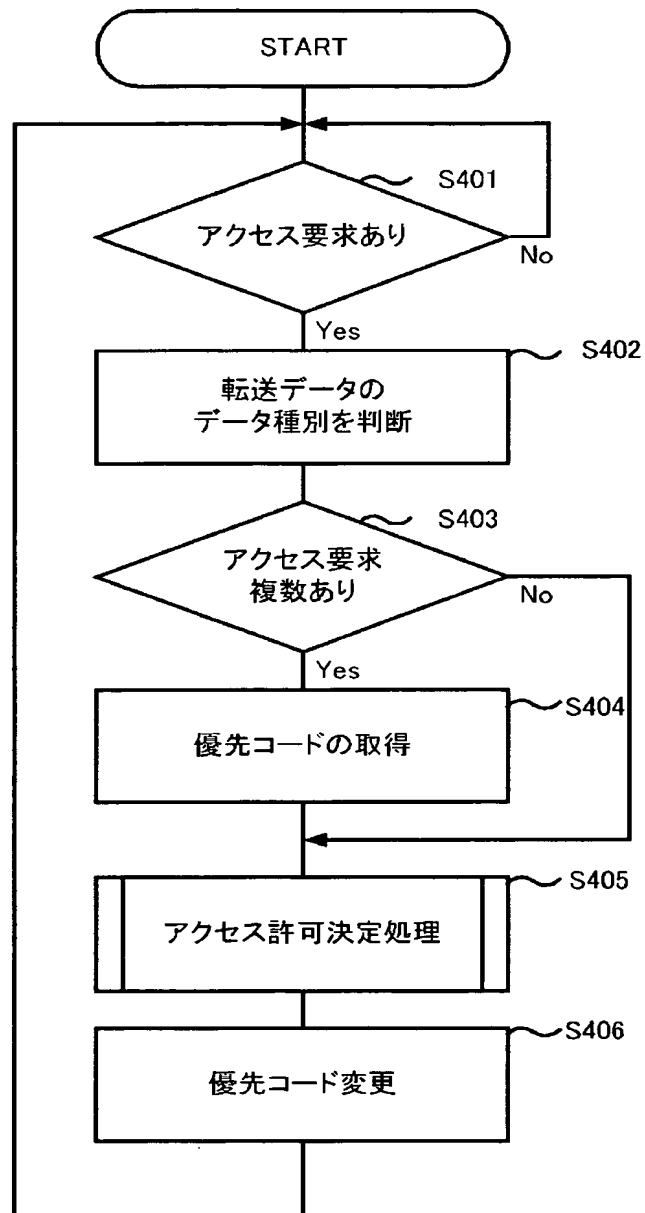
【図 2】



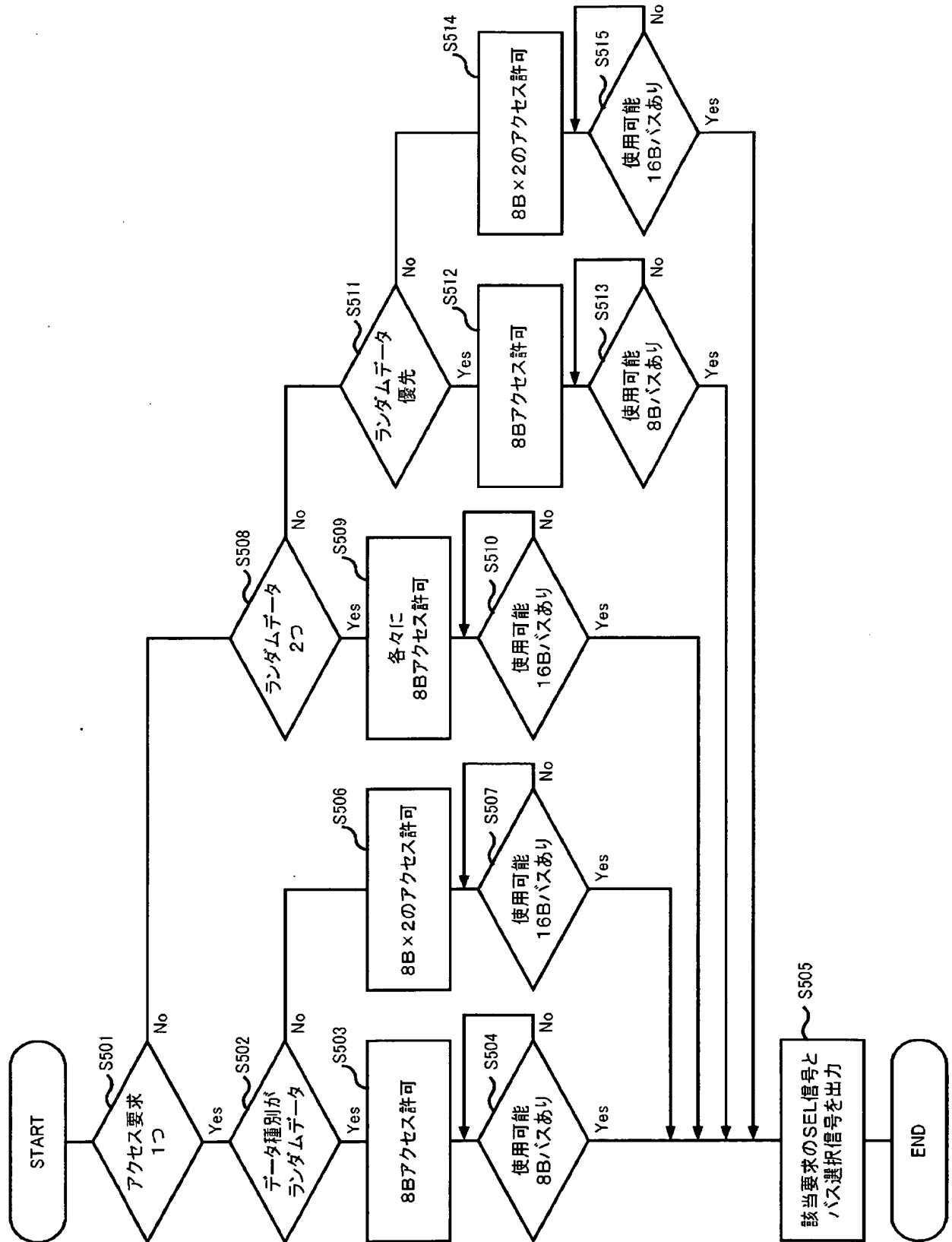
【図3】



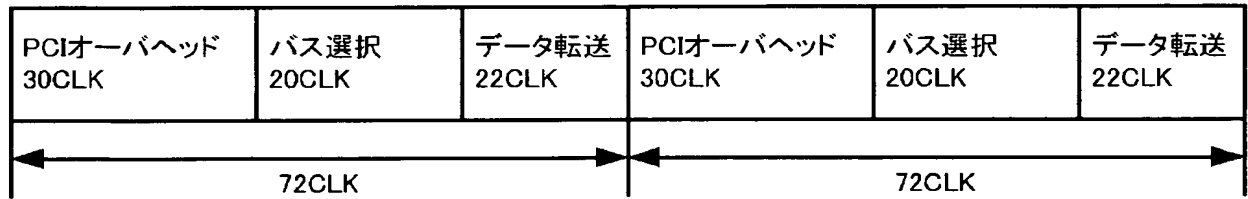
【図 4】



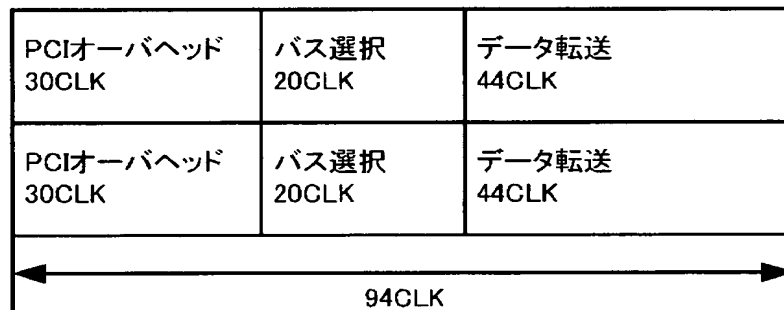
【図 5】



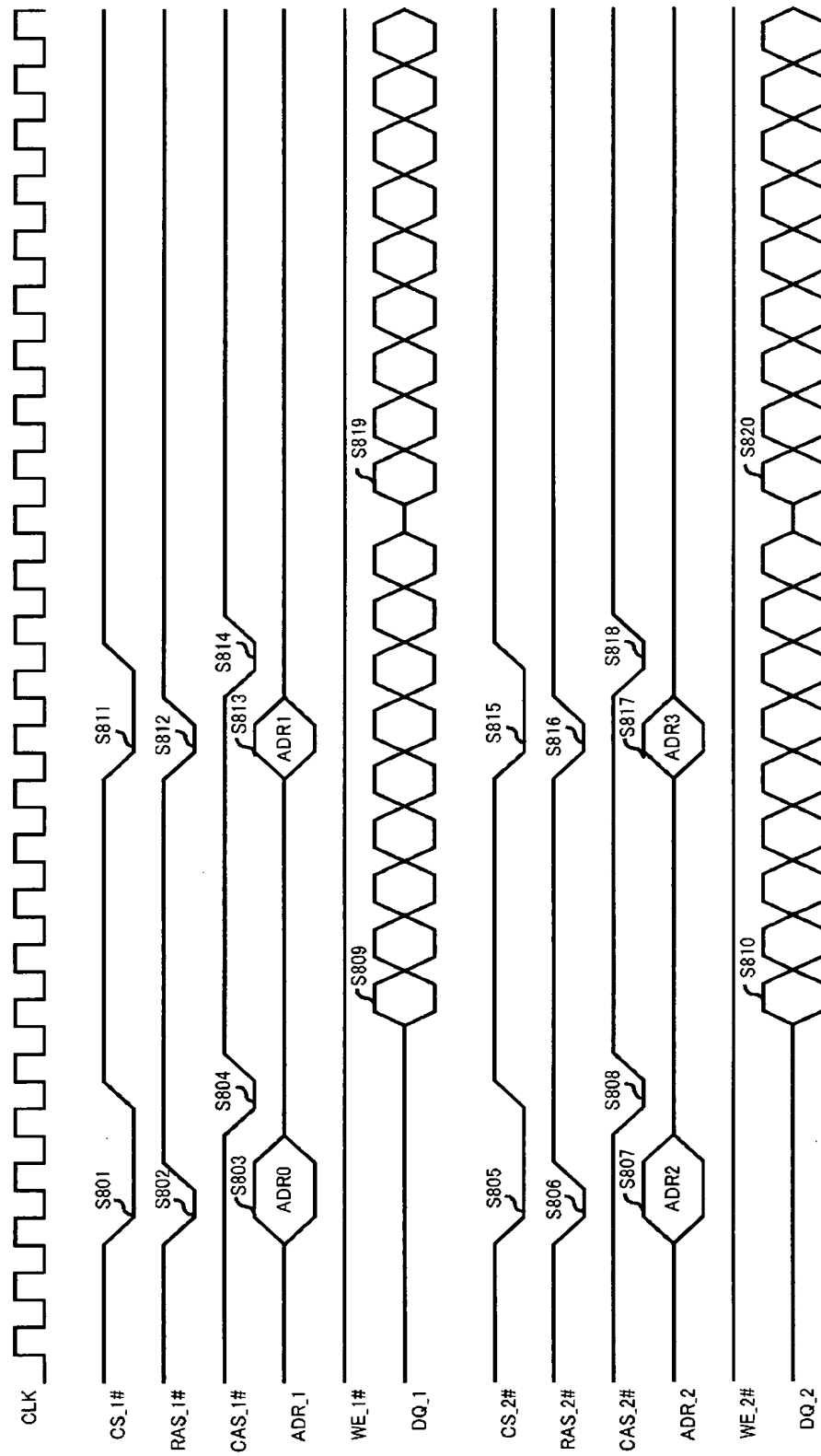
【図 6】



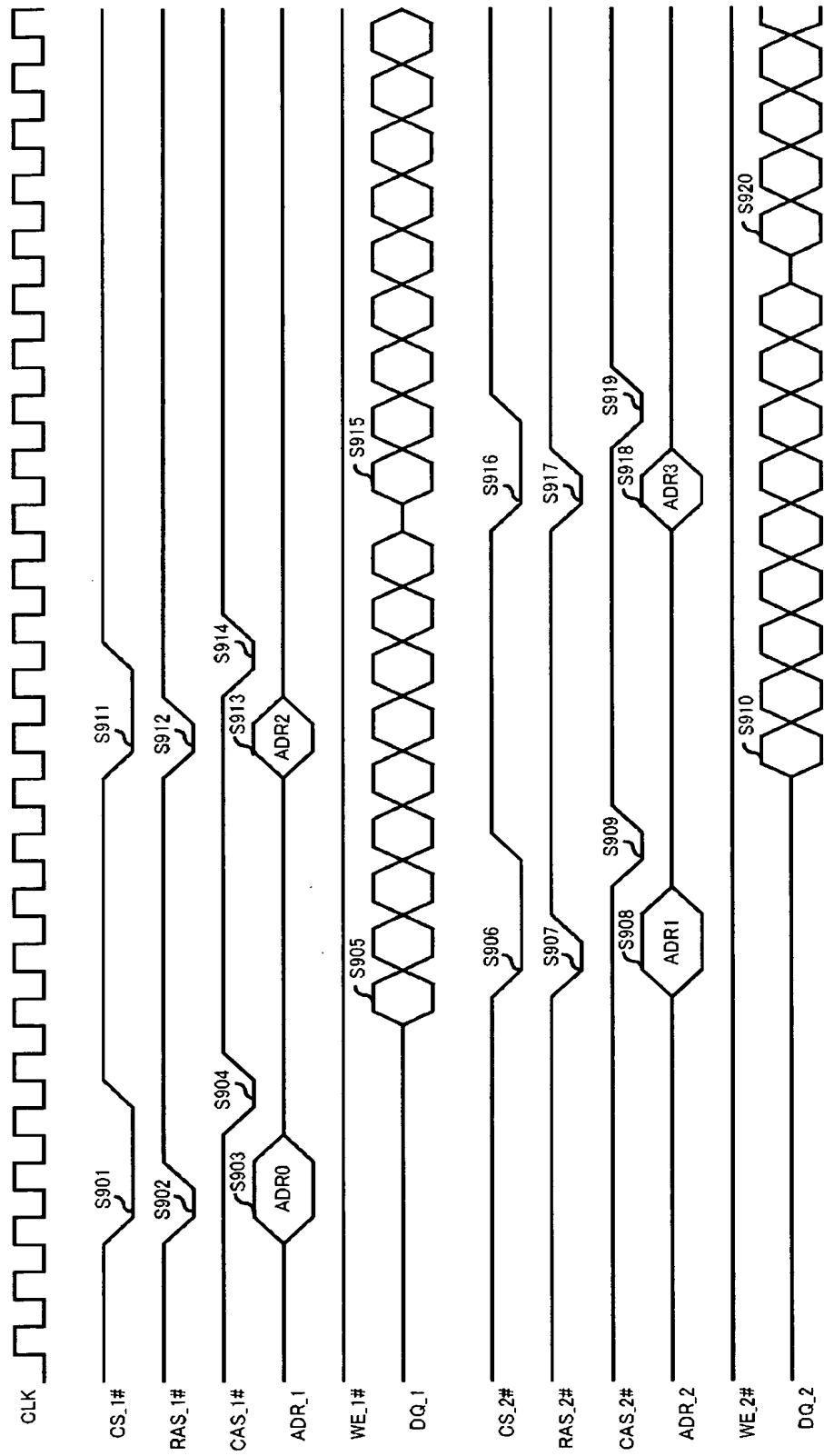
【図 7】



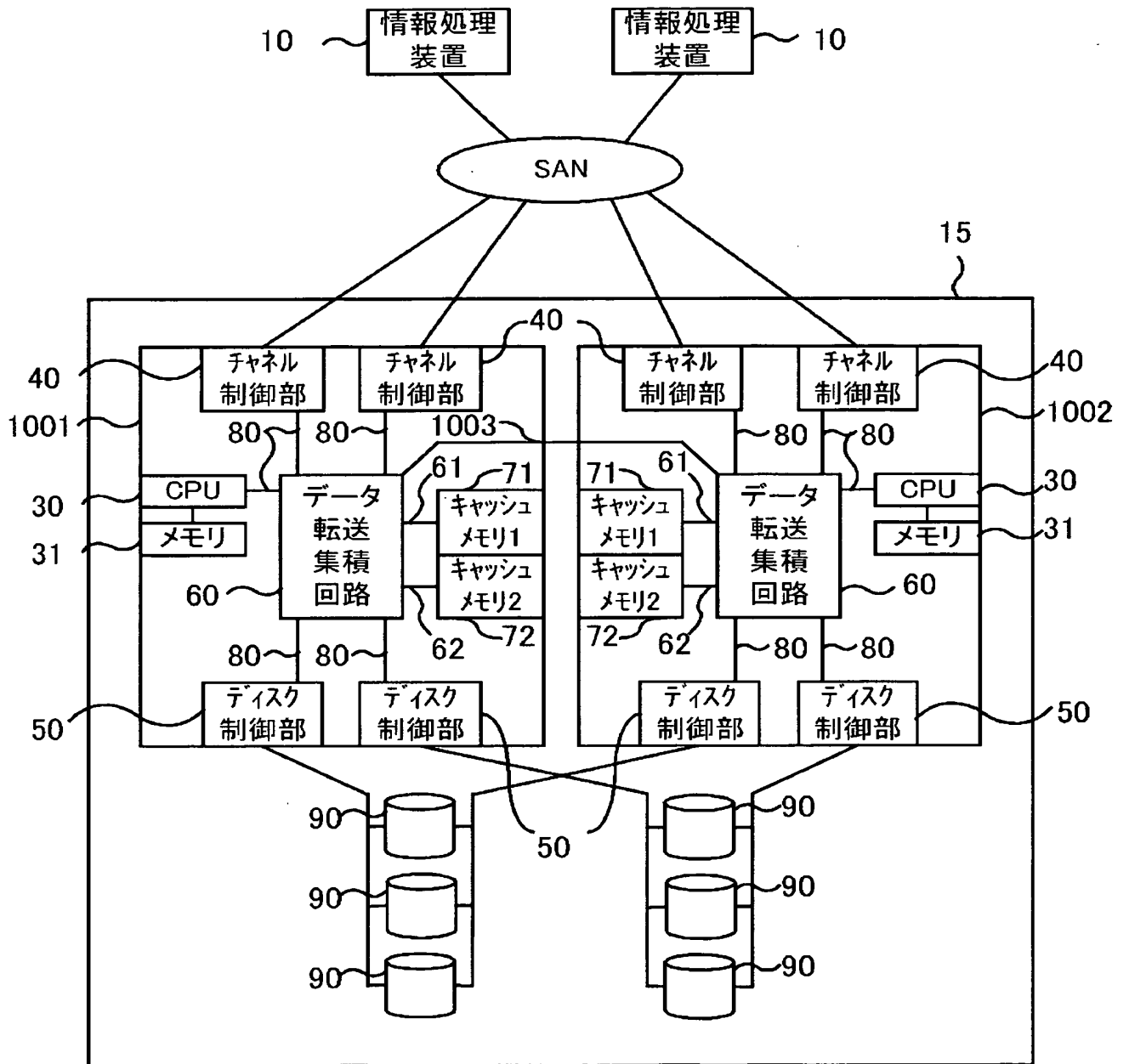
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 キャッシュメモリのバス幅を拡張せずに、データ転送集積回路内における制御に要する時間を減少させ、キャッシュメモリへのアクセスに対する実効速度を向上させる。

【解決手段】 CPU 3 0 と、複数のチャネル制御部 4 0 と、複数のディスク制御部 5 0 と、キャッシュメモリ 7 0 と、前記キャッシュメモリ 7 0 と複数のデータバスにより通信可能に接続されているデータ転送集積回路とを含んで構成されるディスク制御装置 2 0 において、前記データ転送集積回路 2 0 は、前記 CPU 3 0 、前記チャネル制御部 4 0 、前記ディスク制御部 5 0 から前記キャッシュメモリ 7 0 へのアクセス要求を受信すると、当該アクセス要求に設定されている転送データ長に応じて定まる数の前記データバスを使用して前記キャッシュメモリ 7 0 へアクセスする。

【選択図】 図 1

特願 2 0 0 3 - 3 7 5 1 6 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所